

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/DE05/000145

International filing date: 31 January 2005 (31.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 10 2004 004 942.4
Filing date: 31 January 2004 (31.01.2004)

Date of receipt at the International Bureau: 11 April 2005 (11.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 10 2004 004 942.4

Anmeldetag: 31. Januar 2004

Anmelder/Inhaber: X-FAB Semiconductor Foundries AG, 99097 Erfurt/DE

Bezeichnung: Passivierung isolierender Trenngräben von integrierten Schaltungen

IPC: H 01 L 21/762

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. März 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Stark

Die Erfindung betrifft ein Verfahren zur Behandlung von isolierenden Trenngräben bei der Herstellung integrierter Halbleiterschaltungen mit dem Ziel der Verringerung der Verbiegung der Prozeßscheiben, wodurch die Entstehung störender Kristallbaufehler im weiteren Prozeßverlauf verhindert wird.

Zur Integration von Niederspannungslogikelementen und Hochspannungsleistungselementen in ein und demselben Siliziumschaltkreis ist es nötig, Chipbereiche mit unterschiedlichen Potentialen voneinander zu isolieren. Eine Möglichkeit dazu ist die sogenannte dielektrische Trenngrabenisolation (dielectric trench isolation). Dabei wird eine vertikal wirkende Isolation zwischen Bauelement und Substrat durch eine vergrabene isolierende Schicht realisiert (üblicherweise bestehend aus Siliziumdioxid: SiO_2 , prinzipiell sind aber auch andere Schichten denkbar). Eine weitere lateral wirkende Isolation wird durch das Ätzen eines Grabens (Trench) bis auf vergrabene isolierende Schicht und ein anschließendes Herauffüllen dieses tiefen Grabens mit isolierenden Schichten (isolierender Trenngrabens) erreicht. Dabei kann auch nur ein Teil des geätzten Grabens durch isolierende Materialien aufgefüllt werden, das restliche Auffüllen des Grabens kann dann auch durch leitende Füllschichten (z.B. Polysilizium) erfolgen. Durch sogenannte Planarisierungsschritte, z.B. geeignete Ätzverfahren oder chemisch mechanisches Polieren wird eine Einebnung der Oberfläche erreicht. Den repräsentativen Stand der Technik findet man z.B. in den Patentschriften EP 1 184 902 A1 und EP 1 220 312 A1. Der Arbeitsschritt zur Herstellung des isolierenden Trenngrabens liegt mitten im Prozeßablauf, d.h. es folgen weitere Hochtemperaturschritte. Während des nachfolgenden weiteren Fertigungsprozesses werden auch Oxidationsschritte zur Erzeugung von thermischen Oxidschichten benötigt. Dabei kommt es jedoch auch zu einer Oxidation an den vertikalen Seitenwänden innerhalb des isolierenden Trenngrabens. Bei der gleichen Verwendung von Polysilizium als Füllschicht kommt es zusätzlich zu einer Oxidation des Polysiliziums an der Oberfläche, aber auch innerhalb des verfüllten isolierenden Trenngrabens. Aufgrund des größeren spezifischen Volumens des entstehenden Siliziumdioxids gegenüber dem des Polysiliziums kommt es zu erheblichen Druckspannungen in den oberflächennahen Bereichen der verfüllten Trenngräben und damit zu einer Aufweitung der Trenngräben, bzw. zu einer Verbiegung der Siliziumscheiben und zur Entstehung von Kristalldefekten in den angrenzenden monokristallinen Siliziumbereichen. Die Kristalldefekte verschlechtern die Kenndaten der Bauelemente bzw. führen zu erhöhtem Ausschuß. Die Verbiegung wirkt sich negativ auf die Prozessierbarkeit der Halbleiterscheiben aus und führt auch darüber zu erhöhtem Ausschuß. Aus diesem Grund werden die Grabenbereiche mit einer sauerstoffundurchlässigen Schicht bzw. einem entsprechenden Schichtsystem abgedeckt, so

wie es aus der Patentschrift US 5 933 746 A bekannt ist. Solche Abdeckungen sind auch in den Schriften US 5 581 110 A, US 2002/0025654 A1, JP 2000-183156 A und JP 63-003429 A beschrieben. Der Nachteil der so bekannten strukturierten Abdeckschichten liegt darin, daß diese über die planare Oberfläche hinausragen, was im weiteren Bearbeitungsprozeß mit Nachteilen verbunden ist. Die Schichten bilden eine Stufe, die z.B. die Ausbildung von darüber hinwegführenden Leitbahnen stört z.B. durch deren Verdünnungen an den Kanten). Die Abdeckschichten werden ferner durch einen zusätzlichen fotolithographischen Schritt definiert und anschließend geätzt, d.h. es muss zum einen eine Fotomaske erstellt und auf die Scheibe aufgebracht werden und es besteht zum anderen die Gefahr einer seitlichen Fehljustierung der Fotomaske.

Es ist Aufgabe der Erfindung, eine Verfahrensweise anzugeben, welche die Nachteile der über die planare Oberfläche hinausragenden Abdeckung der Isoliergräben beseitigt und hinsichtlich der Fotolithographie eine Vereinfachung des Verfahrens beinhaltet.

Zweck der Erfindung sind die Ausbeutesteigerung und die Erhöhung der Zuverlässigkeit von integrierten Schaltkreisen, die neben Niederspannungslogikelementen Hochspannungsleistungselemente enthalten.

Die erfinderische Lösung ist Gegenstand des Patentanspruchs 1. Weitere Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Zur Erläuterung der Erfindung dienen die Figuren 1 bis 3 in schematischer Darstellung.

Fig. 1 veranschaulicht den bekannten Stand der Technik,

Fig. 2 zeigt eine Variante eines erfindungsgemäß abge-

deckten Grabens,

Fig. 3 a bis f sind Stationen von Hauptverfahrensschritten der Variante Fig. 2 der Isoliergrabenherstellung mit planarem Abschluß der sauerstoffundurchlässigen Abdeckschicht.

In Fig. 1 liegen die Abdeckschichten (8) und (9), die den isolierenden Trenngraben, der die zwei Gebiete unterschiedlicher Potentiale (6) und (7) einer integrierten Schaltung durch eine vergrabene isolierende Schicht (2) und die Isolierschichten (4) sowie die Füllschicht (5) dielektrisch isoliert, auf der planaren Oberfläche der Halbleiterscheibe (3), wodurch eine nachteilige Stufe entsteht.

Wie in Fig. 2 dargestellt ist, bildet die Abdeckschicht (9) mit der planaren Oberfläche der Halbleiterscheibe eine Ebene, d.h. es existiert keine Stufe oder Kerbe mehr.

Wie der Zustand gemäß Fig. 3 erzeugt werden kann, wird in der Figurenreihe Fig. 3a bis 3f veranschaulicht. Der durch Ätzung bis auf die vergrabene Isolierschicht (2) geschaffene Trenn-

graben gemäß Fig. 3a wird mit Isolierschichten (4) versehen, z.B. durch thermische Oxidation: (Fig. 3b). Nach Auffüllung des Grabens, z.B. mit Polysilizium (5) über die planare Ebene hinaus (Fig. 3c) wird die Verfüllsubstanz (5) planarisiert und anschließend definiert rückgeätzt (Fig. 3d). Dann folgt die Rückätzung der Isolierschichten (4) mit einer definierten Überätzung, so daß die beiden Schichten (4) und (5) in etwa gleiches Niveau haben (Fig. 3e). Anschließend wird die Abdeckschicht (9) aufgebracht und anschließend planarisiert (Fig. 3f). Das kann durch mechanisch-chemisches Polieren oder durch einen Lackplanarisierungsprozeß geschehen. Der Prozeß benötigt außer der Maske für den Trenngraben keine weitere fotolithographische Maske, um die Trenngrabenabdeckung herzustellen.

Es liegt im Rahmen der Erfindung, die Abdeckung des isolierenden Trenngrabens auch so auszubilden, daß eine gegenseitige negative Beeinflussung der Schaltungsbereiche und des Grabens im weiteren technologischen Prozeß ausgeschlossen werden kann, z.B. das Wandern von Ionen. Beim Erzeugen von Schichtsystemen mit entsprechenden Eigenschaften kann auch eine Schichtkomponente zur Einstellung des Ausdehnungskoeffizienten des Gesamtsystems dienen.

Bezugszeichenliste

- 1: Halbleiterscheibe (Substrat)
- 2: vergrabene isolierende Schicht, z.B. SiO_2
- 3: bauelementetragende aktive Halbleiterschicht
- 4: isolierende Schicht, z.B. SiO_2
- 5: Füllschicht, z.B. Polysilizium, u.U. leitend
- 6: aktiver Siliziumbereich auf Potential 1
- 7: aktiver Siliziumbereich auf Potential 2
- 8: Oxidschicht (Pad Oxid)
- 9: Abdeckung des isolierenden Trenngrabens, z.B. Si_3N_4

Ansprüche

1.

Verfahren zur Herstellung von Schaltkreisen, in denen Niederspannungslogikelemente und Hochspannungsleistungselemente integriert sind, wobei die Chipbereiche unterschiedlicher Potentiale durch dielektrisch isolierende Gebiete voneinander getrennt sind, indem von der planaren Oberfläche ausgehende Trenngräben im Grabenbereich unter sauerstoffhaltiger Atmosphäre bei erhöhten Temperaturen oxidierende Materialien enthalten, **gekennzeichnet durch** die Abfolge der folgend aufgeführten Hauptarbeitgänge nach Erzeugung der Isolierschichten (4):

- Füllen des Trenngrabens mit der Verfüllsubstanz (5) bis die tiefste Einsenkung der Verfüllsubstanzschicht an ihrer Oberseite über dem Niveau der durch die Oxidschicht (4) gebildeten planaren Oberfläche zu liegen kommt.

Planarisierung der Füllsubstanz (5)

- Abtrag der Füllsubstanz im Grabeninneren durch Überätzen bis in eine definierte Tiefe
- Abätzen der Oxidschichten (4) und Überätzen der Füllsubstanz (5), so daß ein annähernd gleiches Höhenniveau der Schichten (4) und (5) im Trenngraben entsteht
- Abscheidung der Abdeckschicht (9), bzw. eines Schichtsystems in einer Dicke, welche über das Niveau der planaren Oberfläche hinausragt
- Planarisierung der Abdeckschicht, bzw. Schichtsystems durch mechanisch-chemisches Polieren oder einen Lackplanarisierungsprozeß

2.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß die sauerstoffundurchlässige Abdeckung ein Schichtsystem ist, d.h. aus mehreren übereinander liegenden Schichten besteht, wobei die sauerstoffundurchlässige Schicht mit Schichten anderer spezieller Eigenschaften, wie z.B. mit bestimmten Ausdehnungskoeffizienten und Getterfähigkeit von Ionen kombiniert ist.

3.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß die sauerstoffundurchlässige Abdeckung eine Schicht aus Siliziumnitrid ist.

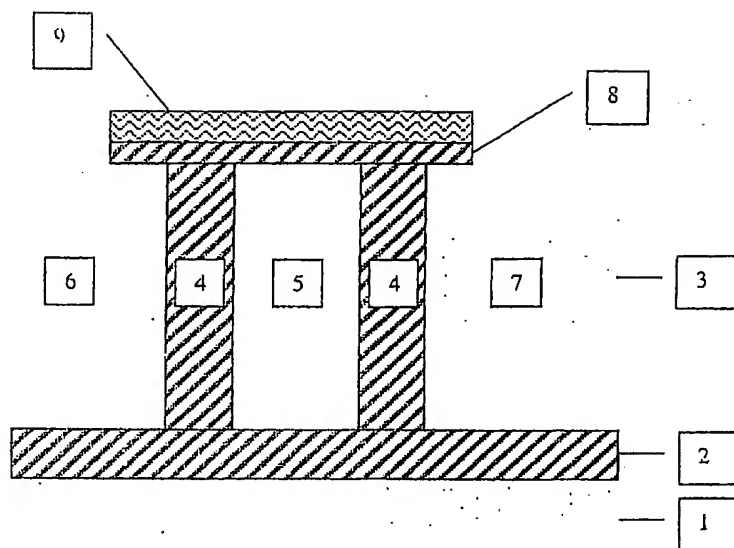


Fig. 1

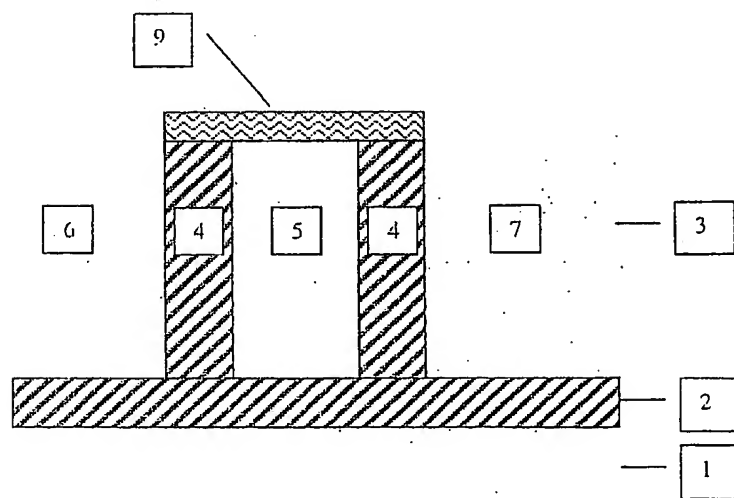


Fig. 2

6 7 — 3

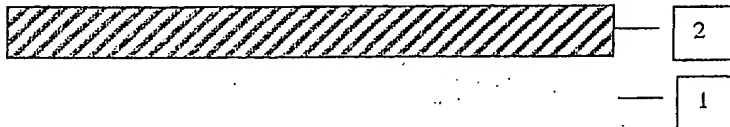


Fig. 3a

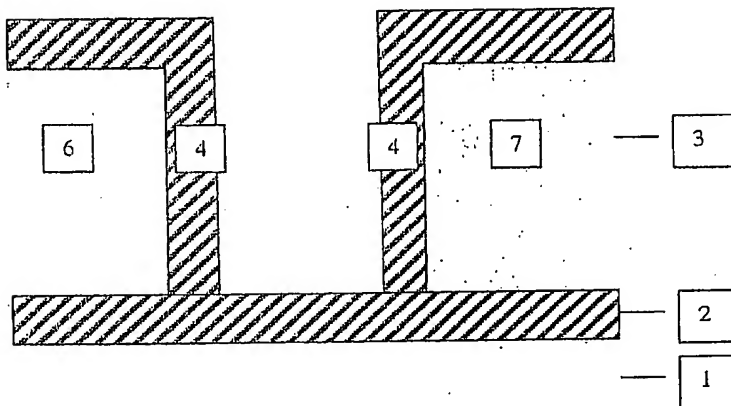


Fig. 3b

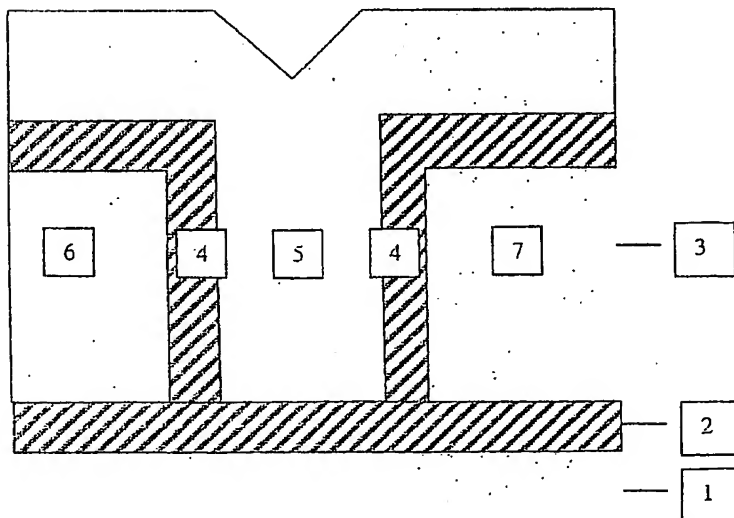


Fig. 3c

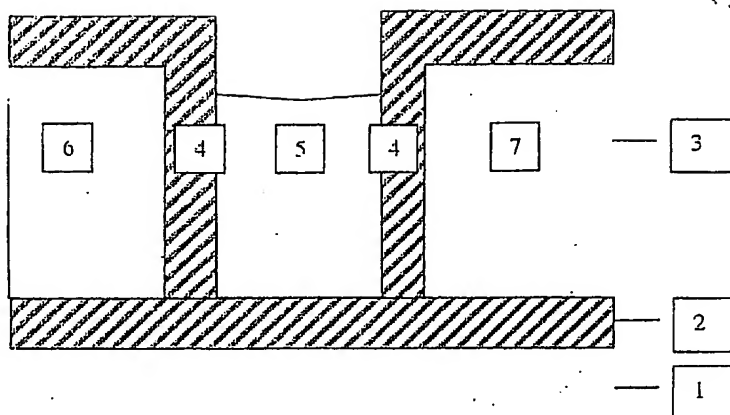


Fig. 3d

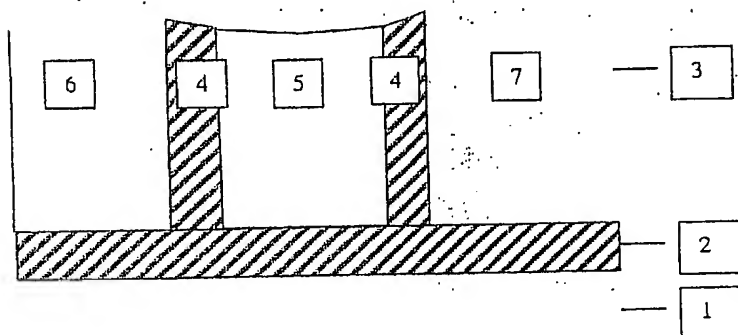


Fig. 3e

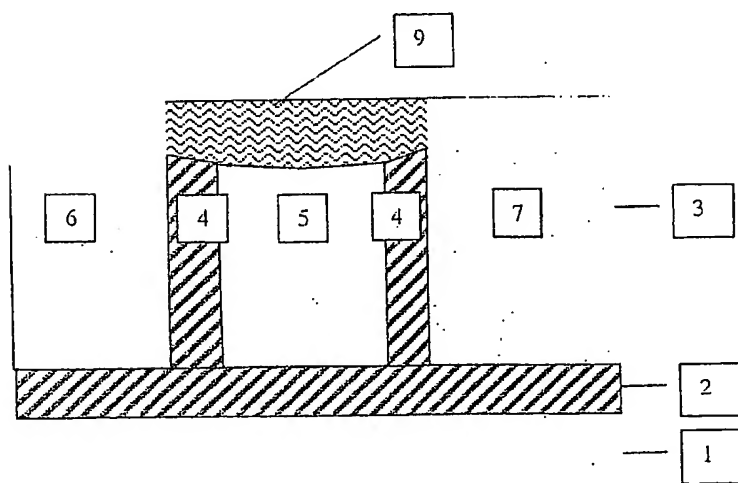


Fig. 3f